

SEMICONDUCTOR INTEGRATED CIRCUIT

Publication number: JP4067643

Publication date: 1992-03-03

Inventor: HIMEI SHINOO

Applicant: KYUSHU NIPPON ELECTRIC

Classification:

- International: G01R31/26; H01L21/66; H01L21/66; G01R31/26;
H01L21/66; H01L21/66; (IPC1-7): G01R31/26;
H01L21/66

- European:

Application number: JP19900181012 19900709

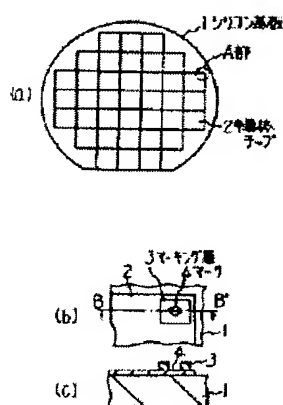
Priority number(s): JP19900181012 19900709

Report a data error here

Abstract of JP4067643

PURPOSE:To make it possible to know the good or bad of semiconductor chips or the values of the characteristics of the chips without inflicting damage on the integrated circuits of the chips by a method wherein a mark formed with the result of a probing inspection of the integrated circuit of each chip

by a laser marking is provided on one part of each chip, which is formed on a semiconductor substrate and has each integrated circuit. **CONSTITUTION:**Semiconductor chips 2 with each integrated circuit formed thereon and a marking layer 3, which is provided on one part of each semiconductor chip and consists of a metal layer or a polycrystalline silicon layer, are provided on a silicon substrate 1 to constitute a semiconductor wafer, a probing inspection of the integrated circuit of each chip 2 is made, a mark 4 formed with the result of the probing inspection on each marking layer 3 by a laser marking is provided and the result of the classification of the grades of the good or bad of the chips 2 or the characteristics of the chips 2 can be known by the patterned marks 4.



Data supplied from the esp@cenet database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-67643

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)3月3日

H 01 L 21/66
G 01 R 31/26
H 01 L 21/66

A 7013-4M
J 8203-2G
B 7013-4M

審査請求 未請求 請求項の数 1 (全2頁)

⑭ 発明の名称 半導体集積回路

⑯ 特 願 平2-181012

⑰ 出 願 平2(1990)7月9日

⑱ 発 明 者 姫 井 志 乃 夫 熊本県熊本市八幡町100番地 九州日本電気株式会社内
⑲ 出 願 人 九州日本電気株式会社 熊本県熊本市八幡町100番地
⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半導体基板上に形成した集積回路を有する半導体チップの一部に前記集積回路のプロローピング検査結果をレーザ刻印により形成したマークを有することを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関する。

〔従来の技術〕

従来の半導体集積回路は第3図に示すように、シリコン基板1の上に設けた集積回路を有する半導体チップ2を備えた半導体ウェーハの集積回路をウェーハ・プロローピング検査し、その結果、不良品に判定された集積回路の半導体チップ2の表

面にインクを付着させたマーク6を設けたり、または半導体チップ2の表面に金属針による傷をつけることによって不良判定の表示をしていた。

〔発明が解決しようとする課題〕

上述した従来の半導体集積回路は、不良と判定された集積回路を有する半導体チップの表面にインクを付着させたり、または、金属針にて表面に傷をつけて、不良半導体チップの表示を行っている。同ウェーハ上にある良品と判定された半導体チップの集積回路にインクが付着して、インク中に含有されている不純物(重金属等)のために信頼性を低下させたり、また、金属針で表面に傷をつけるときに発生する屑により、良品と判定された半導体チップの集積回路にも傷をつけて不良にしてしまうという問題点がある。

〔課題を解決するための手段〕

本発明の半導体集積回路は、半導体基板上に形成した集積回路を有する半導体チップの一部に前記集積回路のプロローピング検査結果をレーザ刻印により形成したマークを有する。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図(a)～(c)は本発明の第1の実施例を説明するための平面図及びA部拡大図並びにB-B'線断面図である。

第1図(a)～(c)に示すように、シリコン基板1の上に集積回路を形成した半導体チップ2と各半導体チップの一部に設けた金属層又は多結晶シリコン層からなるマーキング層3とを有して半導体ウェーハを構成し、各半導体チップ2の集積回路についてプロービング検査を行い、その結果をマーキング層3にレーザー刻印したマーク4を設け、半導体チップ2の良・不良又は特性のグレードを分類した結果をパターン化したマーク4により知ることができる。

第2図(a)、(b)は本発明の第2の実施例を説明するための平面図及びC部拡大図である。

第2図(a)、(b)に示すように、各半導体チップ2の集積回路を測定した特性をコード化し

てレーザー刻印したマーク5を設けた以外は第1の実施例と同様の構成を有しており、後工程でその特性に応じた製品の組立が可能となる。

〔発明の効果〕

以上説明したように本発明は、半導体基板上に形成された集積回路のウェハー状態でのプロービング検査結果をレーザー刻印によって半導体チップの一部に設けたマーキング領域に表示することにより、集積回路に損傷を与えることなく半導体チップの良・不良又は特性値を知ることができるという効果を有する。

図面の簡単な説明

第1図(a)～(c)は本発明の第1の実施例を示す平面図及びA部拡大図並びにB-B'線断面図、第2図(a)、(b)は本発明の第2の実施例を示す平面図及びC部拡大図、第3図は従来の半導体集積回路の一例を示す平面図である。

1…シリコン基板、2…半導体チップ、3…マ

ーキング層、4、5、6…マーク。

代理人 弁理士 内 原 晋

